บทที่ 4

วงจรตรวจหา PRML

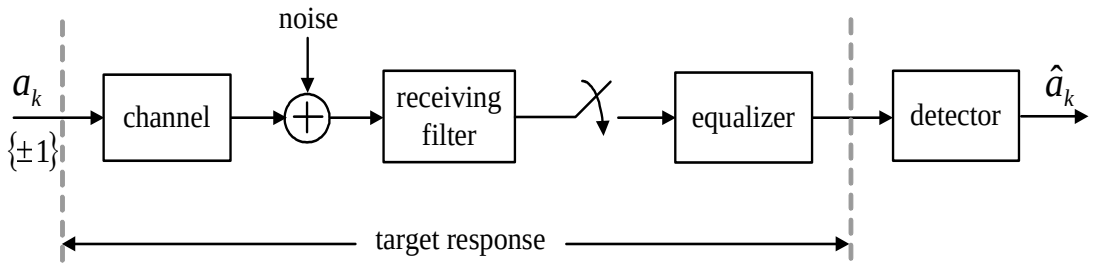
ในบทนี้จะอธิบายพื้นฐานการทำงานของเทคนิค ผลตอบสนองบางส่วนควรจะเป็นมากสุด (PRML: partial-response maximum-likelihood) [27] ซึ่งเป็นเทคนิคหลักที่ใช้ในการตรวจหาข้อมูลของระบบการประมวลผลสัญญาณของฮาร์ดดิสก์ไดรฟ์ โดยจะเน้นไปที่หลักการทำงานของอัลกอริทึมวีเทอร์บิ (Viterbi algorithm) ซึ่งถือว่าเป็นอัลกอริทึมที่ใช้ในการถอดรหัสข้อมูลที่มีประสิทธิภาพมากที่ใช้ในฮาร์ดดิสก์ไดรฟ์ปัจจุบัน

4.1 บทนำ

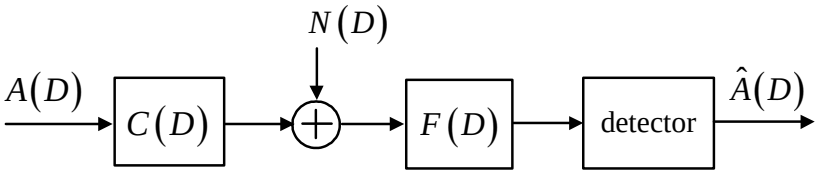
เป็นที่ทราบกันว่า เมื่อความจุของฮาร์ดดิสก์ไดรฟ์เพิ่มขึ้น ผลกระทบที่เกิดจากการแทรกสอดระหว่างสัญลักษณ์ (ISI) ก็จะยิ่งมากขึ้น ทำให้ไม่สามารถใช้งานวงจรตรวจหาจุดสูงสุด (peak detector) ได้อีกต่อไป ดังนั้น เพื่อจัดการกับ ISI จำนวนมากเหล่านี้ วงจรตรวจหา PRML [27] จึงได้ถูกพัฒนาและนำมาใช้งานในฮาร์ดดิสก์ไดรฟ์จนถึงทุกวันนี้ โดยทั่วไป คำว่า PRML หมายถึง เทคนิคการใช้งานร่วมกันระหว่างอีควอไลเซอร์แบบ PR และวงจรตรวจหาวีเทอร์บิ ตามรูปที่ 4.1 ซึ่งสามารถแบ่งขั้นตอนการทำงานออกเป็น 2 ขั้นตอน คือ

1) ปรับรูปร่างของสัญญาณให้เป็นไปตามทาร์เก็ตที่ต้องการ

2) ถอดรหัสข้อมูลโดยใช้วงจรตรวจหาวีเทอร์บิที่สร้างจากทาร์เก็ตที่กำหนดไว้



รูปที่ 4.1: หลักการพื้นฐานของเทคนิค PRML



รูปที่ 4.2: แบบจำลองช่องสัญญาณที่ไม่ต่อเนื่องทางเวลาแบบสมมูล

ข้อดีของการใช้เทคนิค PRML คือ ระบบจะเผชิญกับการขยายสัญญาณรบกวน (noise enhancement) ที่ต่ำ และความซับซ้อนของระบบจะน้อยลง ในส่วนต่อไปนี้จะอธิบายหลักการทำงานของอีควอไลเซอร์แบบ PR และอัลกอริทึมวีเทอร์บิอย่างละเอียด

4.2 อีควอไลเซอร์

พิจารณาแบบจำลองช่องสัญญาณที่ไม่ต่อเนื่องทางเวลาแบบสมมูล (equivalent discrete-time channel model) ตามรูปที่ 4.2 โดยข้อมูลต่างๆ จะอยู่ในโดเมน D และสมมุติให้ $N(D)$ เป็นสัญญาณรบกวนเกาส์สีขาวแบบบวก (AWGN) จากรูปจะได้ว่า สัญญาณที่วงจรภาครับได้รับ $P(D)$ สามารถเขียนให้อยู่ในรูปของสมการทางคณิตศาสตร์ คือ

$$P(D) = A(D)C(D) + N(D) \tag{4.1}$$

โดยทั่วไปช่องสัญญาณ $C(D)$ จะมีลักษณะเป็นวงจรกรองที่มีผลตอบสนองอิมพัลส์จำกัด (FIR: finite impulse response) และมีจำนวนแท็ปมาก (ก่อให้เกิด ISI มาก) ถ้าไม่มีการใช้อีควอไลเซอร์ $F(D)$ เพื่อลดผลกระทบของ ISI ให้น้อยลง วงจรตรวจหา (detector) ที่ใช้จะต้องมีความซับซ้อนมาก เพื่อจัดการกับ ISI จำนวนมาก เพราะฉะนั้น เพื่อลดความซับซ้อนของวงจรตรวจหา จึงได้มีการนำอีควอไลเซอร์มาใช้งาน เพื่อปรับรูปร่างของสัญญาณให้เป็นไปตามทาร์เก็ตที่ต้องการ (เป็นวงจรกรองแบบ FIR ที่มีจำนวนแท็ปน้อย) ซึ่งจะช่วยลดผลกระทบของ ISI ให้น้อยลงได้ อย่างไรก็ตาม การนำอีควอไลเซอร์มาใช้งานมีข้อเสีย คือ (ถ้าวางอีควอไลเซอร์ไว้หลังวงจรชักตัวอย่าง) จะทำให้เกิดปริมาณหน่วงเวลา (delay) จำนวนมากในไทมมิ่งลูป กล่าวคือ จำนวนแท็ปของอีควอไลเซอร์ยิ่งมาก ปริมาณหน่วงเวลาก็จะยิ่งมาก ซึ่งจะส่งผลทำให้อัตราการลู่เข้า (convergence rate) ของระบบไทมมิ่งริคัฟเวอรีช้าลง ทำให้วงจรเฟสล็อกลูป (PLL) ไม่สามารถติดตามการเปลี่ยนแปลงเฟสและความถี่ของสัญญาณแอนะล็อกที่จะทำการชักตัวอย่างได้ทัน ซึ่งอาจจะส่งผลทำให้เกิดการสูญเสียกระบวนการเข้าจังหวะได้

4.2.1 อีควอไลเซอร์แบบผลตอบสนองเต็ม

อีควอไลเซอร์แบบผลตอบสนองเต็ม (full-response equalizer) หมายถึงอีควอไลเซอร์ที่จะทำให้ข้อมูลเอาต์พุตที่ได้มีค่าเท่ากับ ข้อมูลอินพุต $A(D)$ บวกกับสัญญาณรบกวน $W(D)$ ดังนั้น จากรูปที่ 4.2 จะได้ว่า อีควอไลเซอร์แบบผลตอบสนองเต็มจะมีผลตอบสนองอิมพัลส์ (impulse response) ในโดเมน D คือ

$$F(D) = \frac{1}{C(D)} \tag{4.2}$$

และข้อมูลเอาต์พุต $Y(D)$ ของอีควอไลเซอร์นี้ คือ

$$Y(D) = P(D)F(D) \tag{4.3}$$

แทนค่า $F(D)$ จากสมการ (4.2) ลงในสมการ (4.1) จะได้

$$\begin{aligned} Y(D) &= \{A(D)C(D) + N(D)\}\frac{1}{C(D)} \\ &= A(D) + \underbrace{\frac{N(D)}{C(D)}}_{W(D)} \end{aligned} \tag{4.4}$$

นั่นคือ องค์ประกอบของสัญญาณรบกวนที่จะเข้าไปในวงจรตรวจหาสัญลักษณ์ (symbol detector) คือ $W(D) = N(D)/C(D)$ ถ้าสมมุติว่า $W(D)$ มีค่าน้อยมาก วงจรตรวจหาสัญลักษณ์ที่ใช้ก็สามารถเป็นแบบง่ายๆ ได้ เช่น วงจรตรวจหาขีดเส้นแบ่งแบบหลายระดับ (multi-level threshold detector) เพื่อทำการถอดรหัสข้อมูล $Y(D)$ อย่างไรก็ตาม ข้อเสียของการใช้อีควอไลเซอร์แบบผลตอบสนองเต็มก็คือ สัญญาณรบกวน $W(D)$ ที่หลงเหลืออยู่อาจจะก่อให้เกิดปรากฏการณ์การขยายสัญญาณรบกวน นั่นคือ $W(D)$ มีค่าเป็นค่าอนันต์ ถ้าช่องสัญญาณ $C(D)$ มีสเปกตรัมค่าศูนย์ (spectral null) ที่ความถี่ใดๆ เพราะฉะนั้น ในทางปฏิบัติ จึงไม่นิยมนำอีควอไลเซอร์แบบผลตอบสนองเต็มมาใช้งานในฮาร์ดดิสก์ไดรฟ์

4.2.2 อีควอไลเซอร์แบบผลตอบสนองบางส่วน

อีควอไลเซอร์แบบผลตอบสนองบางส่วน (partial-response equalizer) คือ อีควอไลเซอร์ที่สามารถเขียนให้อยู่ในรูปของสมการทางคณิตศาสตร์ได้ดังนี้

$$F(D) = \frac{H(D)}{C(D)} \tag{4.5}$$

โดยที่ $H(D)$ คือ ผลตอบสนองทาร์เก็ต (target response) ที่ต้องการ และเมื่อแทนค่า $F(D)$ นี้ลงในสมการ (4.3) จะได้

$$\begin{aligned} Y(D) &= \{A(D)C(D) + N(D)\}\frac{H(D)}{C(D)} \\ &= \underbrace{A(D)H(D)}_{\text{wanted signal}} + \underbrace{N(D)\frac{H(D)}{C(D)}}_{W(D)} \end{aligned} \tag{4.6}$$

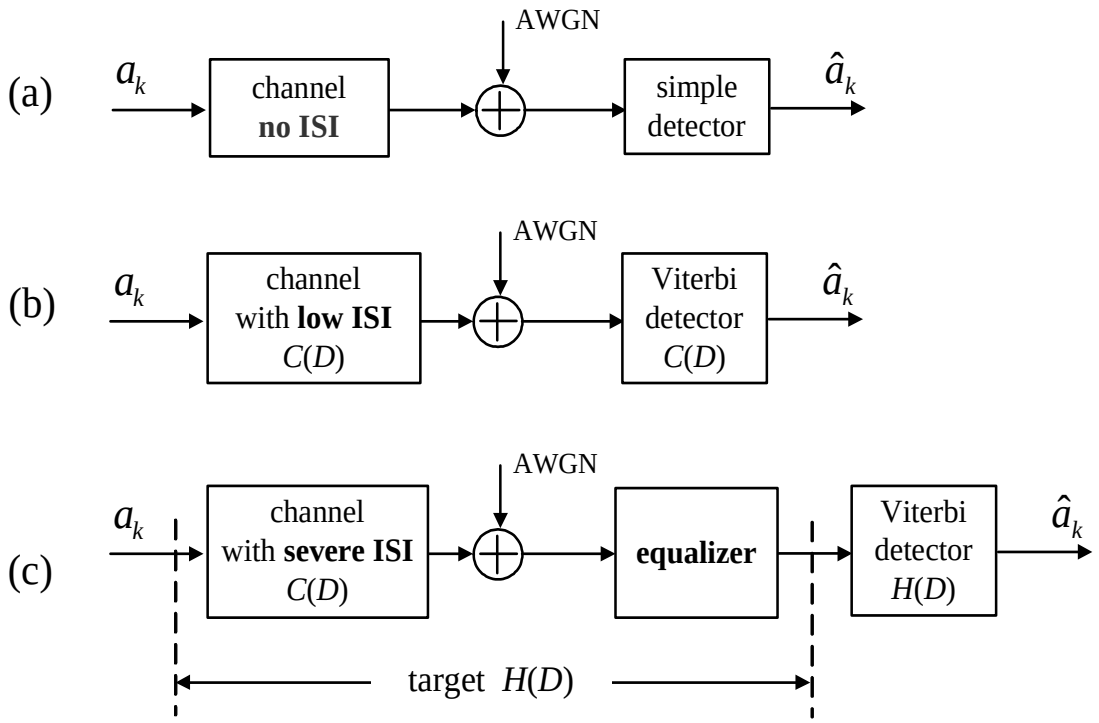
นั่นคือ ข้อมูลเอาต์พุตของอีควอไลเซอร์แบบผลตอบสนองบางส่วนจะประกอบไปด้วย ข้อมูลที่ต้องการ $A(D)H(D)$ และสัญญาณรบกวน $W(D) = N(D)H(D)/C(D)$ จากสมการ (4.6) จะเห็นได้ว่าข้อมูลที่ต้องการจะมี ISI แฝงอยู่ แต่เนื่องจาก วงจรภาครับทราบว่า ISI นี้คืออะไร (เพราะว่าเป็น ISI ที่เกิดจากทาร์เก็ต) ดังนั้น ISI นี้สามารถที่จะถูกจัดการได้ด้วยวงจรตรวจหาวีเทอร์บิ ซึ่งจะอธิบายต่อไปในหัวข้อที่ 4.3

นอกจากนี้ เมื่อพิจารณาส่วนของสัญญาณรบกวน $W(D)$ ในสมการ (4.6) จะพบว่า สาเหตุที่ระบบการประมวลผลสัญญาณของฮาร์ดดิสก์ไดรฟ์ต้องการที่จะได้ทาร์เก็ต $H(D)$ ที่มีผลตอบสนองเชิงความถี่เหมือนกับผลตอบสนองเชิงความถี่ของช่องสัญญาณ $C(D)$ ให้มากที่สุด ก็เพื่อที่ว่าจะได้ทำให้ $W(D)$ มีลักษณะเป็นสัญญาณรบกวนเกาส์สีขาว $N(D)$ ให้มากที่สุด ทั้งนี้เป็นเพราะว่า ถ้า $H(D) = C(D)$ แล้ว จะได้ว่า $W(D) = N(D)$ ซึ่งถือว่าเป็นเงื่อนไขหลักที่จะทำให้วงจรตรวจหาวีเทอร์บิสามารถทำงานได้อย่างมีประสิทธิภาพมากที่สุด หรือกล่าวอีกนัยหนึ่งคือ วงจรตรวจหาวีเทอร์บิจะถูกพิจารณาว่าเป็น "วงจรตรวจหาที่เหมาะที่สุด (opimal detector)" ถ้าองค์ประกอบของสัญญาณรบกวนที่ด้านขาเข้าของวงจรตรวจหาวีเทอร์บิเป็นสัญญาณรบกวนเกาส์สีขาว [15] ดังนั้น อาจจะสรุปได้ว่า ถ้าผลตอบสนองเชิงความถี่ของทาร์เก็ตเหมือนกับผลตอบสนองเชิงความถี่ของช่องสัญญาณมากเท่าใด ประสิทธิภาพของระบบในรูปของอัตราข้อผิดพลาดบิต (BER) วัดที่ด้านขาออกของวงจรตรวจหาวีเทอร์บิก็จะดีมากขึ้นเท่านั้น

4.3 วงจรตรวจหาวีเทอร์บิ

วงจรตรวจหาวีเทอร์บิ คือ วงจรตรวจหาลำดับ (sequence detector) ที่สร้างโดยใช้ "อัลกอริทึมวีเทอร์บิ (Viterbi algorithm)" [15] เพื่อใช้ในการถอดรหัสข้อมูลที่ถูกเข้ารหัสด้วย "รหัสคอนโวลูชัน (convolutional code)" [7] เท่านั้น ในทางปฏิบัติแล้ว ช่องสัญญาณสามารถที่จะถูกพิจารณาว่าเป็นรหัสคอนโวลูชันประเภทหนึ่งที่มีอัตรารหัส (code rate) เท่ากับค่าหนึ่ง (นั่นคือ ข้อมูลอินพุต 1 บิต เมื่อเข้ารหัสแล้วจะได้ข้อมูลเอาต์พุตออกมา 1 บิตเช่นกัน) วงจรตรวจหาวีเทอร์บิมีความสามารถที่จัดการกับ ISI ที่แฝงอยู่ในข้อมูลที่จะทำการถอดรหัสได้อย่างมีประสิทธิภาพ โดยที่ ถ้า ISI ยิ่งมาก ความซับซ้อนของวงจรตรวจหาวีเทอร์บิก็จะยิ่งมาก และถ้า ISI น้อย ความซับซ้อนของวงจรตรวจหาวีเทอร์บิก็จะน้อย

เนื่องจาก วงจรตรวจหาวีเทอร์บิมีความซับซ้อนมากกว่าวงจรตรวจหาแบบง่าย (simple detector) เช่น วงจรตรวจหาขีดเส้นแบ่งแบบหลายระดับ ในการที่จะตัดสินใจว่าจะนำวงจรตรวจหาวีเทอร์บิมาใช้งานในระบบหรือไม่นั้น ให้พิจารณาจากรูปที่ 4.3 ดังต่อไปนี้ จากรูปที่ 4.3(a) ถ้าช่องสัญญาณไม่มี ISI วงจรภาครับก็สามารถนำวงจรตรวจหาแบบง่ายมาใช้งานได้เลย ถ้าช่องสัญญาณมี ISI น้อยตามรูปที่ 4.3(b) วงจรภาครับก็สามารถนำวงจรตรวจหาวีเทอร์บิมาใช้งานได้เลย แต่ถ้าช่องสัญญาณมี ISI จำนวนมากตามรูปที่ 4.3(c) วงจรภาครับก็ควรที่นำอีควอไลเซอร์มาใช้งาน เพื่อลดผลกระทบ



รูปที่ 4.3: ตัวอย่างแบบจำลองช่องสัญญาณที่ไม่ต่อเนื่องทางเวลาแบบสมมูลลักษณะต่างๆ

ของ ISI ให้น้อยลง จากนั้นจึงค่อยส่งข้อมูลเอาต์พุตที่ได้จากอีควอไลเซอร์ไปทำการถอดรหัสข้อมูลด้วยวงจรตรวจหาวีเทอร์บิ

วงจรตรวจหาวีเทอร์บิถือว่าเป็นวงจรตรวจหาข้อมูลที่มีประสิทธิภาพ และถูกนำมาใช้งานในหลายๆ งานประยุกต์ รวมทั้งในระบบการประมวลผลสัญญาณของฮาร์ดดิสก์ไดรฟ์ โดยที่ หลักการทำงานของวงจรตรวจหาวีเทอร์บิจะอยู่บนพื้นฐานของ “แผนภาพเทรลลิส (trellis diagram)” ซึ่งสร้างมาจาก “เครื่องสถานะจำกัด (FSM: finite state machine)” ดังนั้น ก่อนที่จะอธิบายหลักการทำงานของอัลกอริทึมวีเทอร์บิ ผู้อ่านควรจะทำความเข้าใจเกี่ยวกับวิธีการสร้างเครื่องสถานะจำกัดและแผนภาพเทรลลิสก่อน ซึ่งมีรายละเอียดดังนี้